

PAT-NO: JP408162563A

DOCUMENT-IDENTIFIER: JP 08162563 A

TITLE: ELEMENT JUNCTION STRUCTURE FOR SEMICONDUCTOR
MOUNTING BOARD AND ITS MANUFACTURE

PUBN-DATE: June 21, 1996

INVENTOR-INFORMATION:
NAME
SHIBUYA, AKINOBU
KIMURA, HIKARI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP06299999

APPL-DATE: December 2, 1994

INT-CL (IPC): H01L023/12, H01L023/15 , H05K001/18

ABSTRACT:

PURPOSE: To provide a semiconductor device mounting board capable of being made with low cost and having an input and output pin of high strength and a junction of a lead in a semiconductor device to which LSI's such as a multi-layer wiring substrate, a semiconductor package, an insulation substrate using glass ceramic or the like are mounted.

CONSTITUTION: In an element junction pad on a semiconductor mounting board 1, an element junction pad structure provided in a thin film metallized part 3 inside a cavity 2 is structured and parts such as a Kovar pin 6 or the like are connected with solder or brazing material 4. Even the semiconductor

mounting

board 1 having a comparatively low mechanical strength such as low temperature

sintered glass ceramic, etc., can be used, and the element junction

pad is

metallized with a thin film in the cavity, whereby it is possible to obtain a

junction body comprising glass ceramic having low cost and high strength and an

input and output part composed of a metal or a brazing material.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162563

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
23/15				
H 0 5 K 1/18	Q	8718-4E		
			H 0 1 L 23/ 12	P
			23/ 14	C
			審査請求 有	請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平6-299999

(22) 出願日 平成6年(1994)12月2日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 渋谷 明信

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 木村 光

東京都港区芝五丁目7番1号 日本電気株式会社内

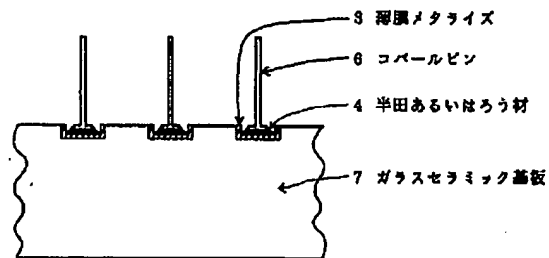
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体実装基板用素子接合構造およびその製造方法

(57) 【要約】

【目的】 多層配線基板、半導体パッケージ、ガラスセラミックを用いた絶縁基板等のLSIを実装する半導体装置において、低コストで作製可能で、かつ高強度な入出力ピンやリードの接合を有する半導体装置実装用の基板を提供する。

【構成】 半導体実装基板1上の素子接合パッドにおいて、キャビティー2内部に薄膜メタライズ2を設けたことを特徴とする素子接合パッド構造を構成し、半田あるいはろう材4によりコパールピン6等の部品を接合することを特徴とする。半導体実装基板1としては低温焼結ガラスセラミック等の比較的機械的強度の低いものでも使用可能であり、素子接合パッドをキャビティー内の薄膜メタライズとすることで低コストで高強度なガラスセラミックと金属あるいはろう材から成る入出力部品との接合体を得ることができる。



【特許請求の範囲】

【請求項1】低温焼結基板と入出力ピンもしくはリードとの接合構造であって、前記入出力ピン及びリードは金属あるいは合金よりなり、前記低温焼結基板は側面及び底面に薄膜メタライズを有する独立したキャビティを有し、前記薄膜メタライズと入出力ピンもしくはリードは半田あるいはろう材により接続されていることを特徴とする半導体実装基板用素子接合構造。

【請求項2】キャビティを設けたセラミック基板のキャビティ内を含む表面全体に薄膜層を形成する工程と、基板の表面を研磨することによってキャビティ内以外の部分の薄膜層を除去する工程と、キャビティ内の薄膜層をメタライズとして入出力ピンもしくはリードを半田あるいはろう材により接合する工程とからなることを特徴とする半導体実装基板用接合構造の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多層配線基板、厚膜多層基板、半導体パッケージ、ガラスセラミックスを用いた絶縁基板等のLSIを実装する半導体装置の接合構造

【0002】

【従来の技術】一般に半導体実装用セラミック基板の素子接合パッドは、厚膜メタライズにより形成されている。しかし、ガラスセラミック基板等の低温焼結基板に厚膜メタライズを形成し、金属あるいは合金からなる入出力ピンやリードを半田あるいはろう材により接合した場合、メタライズ剥がれを生じるという問題を有していた。そこで、従来の低温焼結基板上の素子接合パッドは、薄膜で形成されている場合が多い。図5に従来の実装基板上に薄膜メタライズを形成した場合の実装基板と金属から成る入出力ピンとの接合体の構成例を示す。従来、薄膜のメタライズパッドを形成する場合、基板研磨後、基板にメタルマスクを介してスパッタリングあるいは蒸着により薄膜を形成するか、基板研磨後、スパッタリングあるいは蒸着後、フォトリソグラフィー、エッチング工程を経て薄膜メタライズパッドを形成していた。メタルマスクを使用した場合は比較的工程時間は少なくできるが、スパッタリング粒子の基板とマスク間への回り込みのため、狭ピッチのパターンではショートを起こしてしまうという問題を有していた。また、フォトリソグラフィーの工程を利用した場合は工程時間が厚膜メタライズを形成する場合に比べて著しく長くなってしまい、コスト増大を招いている問題を有していた。また、薄膜メタライズを用いた場合においても半田あるいはろう材による接合時に生じる引っ張り応力がメタライズ端部に集中してしまうため、メタライズ剥がれを生じてしまうことがあった。

【0003】また、パッケージの小型化、高密度化、封止性および信号の伝播特性の点から、LSIチップをキ

ャビティ内に実装する構造が、特開昭62-4859号公報、特開昭58-74047号公報、特開昭58-111350号公報、特開平4-24955号公報等に数多く報告されているが、素子接合パッドを独立したキャビティ内に設けたものは報告されておらず、素子そのものがキャビティ内にあっても接合強度の点からみれば、キャビティの有無はなんら意味を持っていない。

【0004】

【発明が解決しようとする課題】以上述べた様に、低温焼結基板、特にガラスセラミック基板上のメタライズ構造および接合構造では、低コスト、高強度な低温焼結基板と金属から成る入出力ピンやリードとの接合体を得ることは不可能であった。

【0005】本発明の目的は、このような従来の欠点を除去して、低コストで作製可能であり高強度な入出力ピンやリードとの接合を有するガラスセラミックスを代表とする半導体装置実装基板上に適用できる接合構造を提供することにある。

【0006】

【課題を解決するための手段】本発明は半導体の実装される低温焼結基板上の素子接合パッドにおいて、パッドを独立したキャビティ内の側面および底面の薄膜パッドから成る素子接合パッドとすることを特徴とする。

【0007】図1に本発明の素子接合パッドの構成例を示す。本発明で使用される実装基板としてはガラスセラミック基板あるいはセラミック基板が好適に用いられるが、その組成は限定されるものではなく、広範な材料について適用される。基板に使用される導体材料についても限定されるものではない。薄膜メタライズについても組成、膜厚、形成方法いずれも限定されず、スパッタリング、蒸着、無電解メッキ、電解メッキ等が適宜選択される。また、キャビティの形状やサイズも限定されるものではない。

【0008】図2および図3には、それぞれ図1の素子接合パッドにパッケージリード、入出力ピンが接合されている例を示した。接合されるものの材質、形状は、限定されるものではない。また、ろう材、半田についてもAg-Cu系共晶合金が好適であるが、Au-Si系合金、Au-Ge系合金、Au-Cu系合金、Al-Si系合金、Cu-Zn系合金、Ni-Cr系合金、Mg-Al系合金、Sn-Pb系合金、Sn-Zn系合金、Sn-Ag系合金、Sn-Sb系合金、Cd-Zn系合金、Pb-Ag系合金、Cd-Ag系合金、Zn-Al系合金、Au-Sn系合金等でも良く、限定はされず、ガラスセラミック基板が軟化あるいは基板の導体材料が溶解しない温度（1000℃程度以下）であればよい。また、接合後、素子パッドおよび接合された合金や金属にNi/Au等のメッキを施すことは後工程での接合性や防食性の点からさらに有効である。

【0009】本発明によれば、メタライズ端部はキャビティ側面になり、接合時に生じる応力が最も多く残留するろう材のフィレット端部がメタライズの端部と一致していないため、従来の独立したキャビティの無い接合体で生じたメタライズ剥がれが起きることはなく、高強度な接合体を得ることができる。

【0010】図4には、図1の素子接合パッド製造の例を示した。製造時にあらかじめキャビティを設けた基板の表面全体に薄膜メタライズを形成した後、基板表面を研磨することにより、キャビティ内の薄膜メタライズから成る素子接合パッドを得ることができる。この方法によれば、薄膜メタライズを形成する工程時間を大幅に低減することが可能なため低コスト化を実現できる。

【0011】

【実施例】以下、使用する基板、薄膜層構成、ろう材、接合素子を種々変化させた例を示す。

【0012】（実施例1）直径0.8mm、深さ0.5mmのキャビティを1.27mmピッチで有しAg-Pdを内部導体としホウケイ酸ガラスとアルミナとから成り900℃で焼成した多層配線ガラスセラミック基板にCr/Cu薄膜層をそれぞれ0.1μm、0.5μmの厚みでスパッタリングにより形成した後、基板表面を研磨することにより、キャビティ内の素子接合パッドを形成した。該パッド上にNi薄膜層を0.1μmの厚みで無電解メッキにより形成し、Sn-Pb系半田により460ピン-アルミナ製パッケージのAuメッキされたコパ

ールから成るリード部を窒素中230℃で接合した。このパッケージは垂直および45°方向に10kgfの引っ張りを行っても接合部の剥がれ等の破壊を起こさず、強固な接合が得られていた。接合に要した工程時間は、50分であった。

【0013】（実施例2）直径1.7mm、深さ0.5mmのキャビティを2.54mmピッチで有する実施例1と同様のAg-Pd多層配線ガラスセラミック基板にTi/Mo薄膜層をそれぞれ0.1μm、1.5μmの厚みでスパッタリングにより形成した後、基板表面を研磨することにより、キャビティ内の素子接合パッドを形成した。該パッド上にNi薄膜層を0.1μmの厚みで無電解メッキにより形成し、Ag-Cu系共晶ろう材によりコパール製の入出力ピンを窒素中780℃で接合した。入出力ピンの接合強度は、垂直方向で10kgf以上、45°方向で6.6kgfと十分な値を示した。接合に要した工程時間は1時間であった。

【0014】（実施例3）直径1.3mm、深さ0.5mmのキャビティを2.54mmピッチで有する実施例1と同様のAg-Pd多層配線ガラスセラミック基板にCr/Pd薄膜層をそれぞれ0.1μm、0.6μmの厚みでスパッタリングにより形成した。次に基板表面を研磨することにより、キャビティ内の素子接合パッドを形成した。さらに、Au-Sn系半田によりAuメッキを

施したコパール製の入出力ピンを窒素中320℃で接合した。入出力ピンの接合強度は、垂直方向で5kgf、45°方向で2.3kgfと実用可能な値を示した。接合に要した工程時間は、1時間であった。

【0015】（比較例1）キャビティの無い実施例1と同様の多層配線ガラスセラミック基板の表面を研磨後、Cr/Cu薄膜層をそれぞれ0.1μm、0.5μmの厚みでスパッタリングにより形成した後、フォトリソグラフィによるパターニングを行い、ウェットエッチングにより、基板表面の直径0.8mm、ピッチ1.27mmの素子接合パッドを形成した。該パッド上にNi薄膜層を0.1μmの厚みで無電解メッキにより形成し、Sn-Pb系半田により他の460ピン-アルミナ製パッケージのリード部を窒素中230℃で接合した。このパッケージは垂直および45°方向に10kgfの引っ張りを行ってもパッケージ全体が剥がれてしまうことは無かった。しかし、45°方向に10kgfの引っ張りを行った際に23本のリードが基板側から剥がれていた。また、接合に要した工程時間は、1時間30分と長くなってしまった。

【0016】（比較例2）キャビティの無い実施例2と同様の多層配線ガラスセラミック基板の表面を研磨後、Ti/Moの薄膜層をそれぞれ0.1μm、1.5μmの厚みでスパッタリングにより形成した後、フォトリソグラフィによるパターニングを行い、ウェットエッチングにより、基板表面の直径1.7mm、ピッチ2.54mmの素子接合パッドを形成した。該パッド上にNi薄膜層を0.1μmの厚みで無電解メッキにより形成し、Ag-Cu系共晶ろう材によりコパール製の入出力ピンを窒素中780℃で接合した。入出力ピンの接合強度は、垂直方向で8.8kgf、45°方向で4.2kgfと実用可能な値を示したが、本発明と比較すると低い強度であった。また、接合に要した工程時間は、1時間40分と長くなってしまった。

【0017】（比較例3）キャビティの無い実施例3と同様の多層配線ガラスセラミック基板の表面を研磨後、Cr/Pd薄膜層をそれぞれ0.1μm、0.6μmの厚みでスパッタリングにより形成した後、フォトリソグラフィによるパターニングを行い、ウェットエッチングにより、基板表面の直径1.3mm、ピッチ2.54mmの素子接合パッドを形成した。さらにAu-Sn系半田によりAuメッキを施したコパール製の入出力ピンを窒素中320℃で接合した。入出力ピンの接合強度は、垂直方向で4.3kgf、45°方向で1.7kgfと低い値を示した。また、接合に要した工程時間は、1時間40分と長くなってしまった。

【0018】

【発明の効果】以上説明したように、本発明によれば、高強度なガラスセラミック基板をはじめとした低温焼結基板と金属あるいは合金から成る入出力ピンやコパール

5

6

との接合体を得ることができる。また、素子接合パッドを形成する工程時間を短縮できるため、コストを低減することができる。

【0019】本発明による半導体実装基板用接合構造は絶縁基板、多層配線基板および半導体パッケージ等のLSIを実装する半導体装置の接合構造として有用であり、その工業的価値は極めて高い。

【図面の簡単な説明】

【図1】本発明の接合パッドの構造を示す図である。

【図2】本発明の基板とパッケージリードとの接合構造を示す図である。

【図3】本発明の基板への入出力ピンの接合構造を示す

図である。

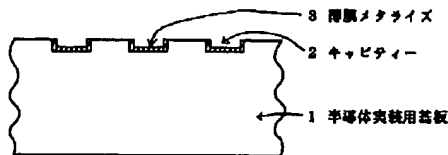
【図4】本発明の接合パッド製造方法を示す図である。

【図5】従来の接合パッドの構造を示す図である。

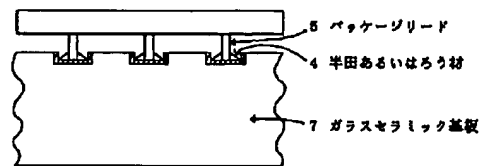
【符号の説明】

- 1 半導体実装用基板
- 2 キャビティー
- 3 薄膜メタライズ
- 4 半田あるいはろう材
- 5 パッケージリード
- 6 コパールピン
- 7 ガラスセラミック基板

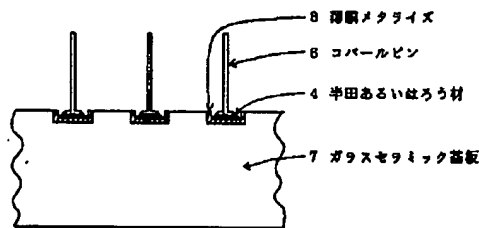
【図1】



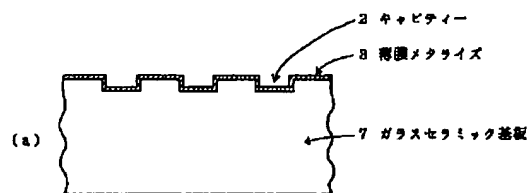
【図2】



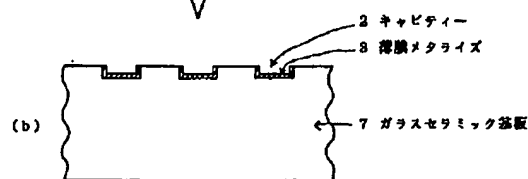
【図3】



【図4】



研磨



【図5】

